

Desain ADC SAR 10-*Bit* Dua Kanal Simultan menggunakan *Board* FPGA Altera DE10

MUHAMMAD ULIN NUHA, HARI ARIEF DHARMAWAN, SETYAWAN
PURNOMO SAKTI

Jurusan Fisika, Fakultas MIPA, Universitas Brawijaya, Indonesia
Email: ulinnuha46@gmail.com

Received 4 Juli 2021 | *Revised* 9 Juli 2021 | *Accepted* 27 Juli 2021

ABSTRAK

Desain arsitektur ADC (Analog to Digital Converter) multi kanal simultan pada perangkat controller dapat mengurangi jumlah intruksi (task) program yang harus dijalankan oleh mikroprosesor dan dapat digunakan untuk membentuk pengukuran simultan. Paper ini memaparkan desain ADC SAR (Successive Approximation Register) 10-bit dua kanal simultan menggunakan Board FPGA (Field Programmable Gate Array) Altera DE10. FPGA dikonfigurasi untuk difungsikan sebagai sirkuit logika SAR dua kanal menggunakan bahasa VHDL (VHSIC-Very High Speed Integrated Circuit Hardware Description Language). Hasil pengujian menunjukkan kanal ADC_1 dan ADC_2 memiliki tingkat kesalahan rata-rata sebesar 1.05 % dan 0.90 %, tingkat akurasi sebesar 98.95 % dan 99.09 %, tingkat linearitas dengan koefisien korelasi sebesar 0.9999 dan 0.9999. Durasi waktu yang dibutuhkan dalam satu kali proses konversi ADC yaitu 104 μ s. Didapatkan sampling-rate sebesar 9.6 KS/s. Daya yang dikonsumsi sebesar 842 mW. Kedua kanal ADC SAR yang telah dibuat mampu bekerja secara simultan.

Kata kunci: ADC, dua-kanal simultan, FPGA, SAR, VHDL

ABSTRACT

Desing of simultaneous multi-channel ADC (Analog to Digital Converter) architecture on the controller device can reduce the number of program instructions (tasks) that must be executed by microprocessor and can be used to form simultaneous measurements. This paper describes design of simultaneous two channel 10-bit SAR (Successive Approximation Register) ADC by using Board FPGA (Field Programmable Gate Array) Altera DE10. FPGA is configured using VHDL (VHSIC-Very High Speed Integrated Circuit Hardware Description Language) language to function as two channels SAR logic circuit. Test results show that ADC_1 and ADC_2 channels have average error of 1.05% and 0.90%, accuracy of 98.95% and 99.09%, linearity level with correlation coefficient of 0.9999 and 0.9999. Time duration in one ADC conversion process is 104 μ s. The sampling rate obtained is 9.6 KS/s. Power consumed is 842 mW. Design of two channels SAR ADC that has been made can work simultaneously.

Keywords: ADC, two-channels simultaneous, FPGA, SAR, VHDL

1. PENDAHULUAN

ADC (*Analog to Digital Converter*) merupakan sebuah piranti yang sangat penting dalam sistem monitoring dan aplikasi kontrol. ADC digunakan untuk mengkonversi sinyal analog dari sensor dan mengubahnya ke bentuk sinyal digital agar dapat diproses menggunakan mikrokontroler, mikroprosesor atau *Digital Signal Processing* (DSP) (Liao & Zhu, 2010) (Lai, dkk, 2015). ADC banyak diterapkan pada peralatan kontrol berbasis sistem digital, salah satu contohnya adalah relay digital (*numerical relay*) yang digunakan pada sistem monitoring dan proteksi transformator daya dalam sistem distribusi tenaga listrik. Sistem kontrol proteksi transformator membutuhkan perangkat kontroler yang dapat mengambil keputusan dengan cepat dalam mengaktifkan sistem relay proteksi pemutus saluran tenaga listrik saat terdeteksi adanya gangguan dan kondisi abnormal seperti *over-current* dan *overvoltage* akibat hubung singkat, pembebanan berlebih, dan sambaran petir. Oleh karena itu, kondisi arus dan tegangan pada saluran distribusi harus terus dimonitoring, sehingga kerusakan transformator dan seluruh peralatan yang terhubung dengan transformator dapat dicegah dan diminimalisir (Chen, dkk, 2019) (Subedi, dkk, 2019).

Secara umum, perangkat kontroler digital dibangun menggunakan dua komponen dasar, yaitu ADC dan mikroprosesor (*Central Processing Unit* atau CPU). Kecepatan perangkat kontroler dalam mengambil keputusan (*decision-making*) ditentukan oleh kedua komponen tersebut. Mikroprosesor bertugas mengeksekusi intruksi (*task*) program yang digunakan untuk mengatur seluruh proses alur kerja sistem mulai dari proses konversi ADC, pemrosesan sinyal, dan proses kontrol secara sekuensial atau berurutan (Abdel-salam, dkk, 2017). Kebanyakan perangkat kontroler berbasis mikrokontroler, mikroprosesor, maupun DSP masih menggunakan arsitektur ADC multi kanal multipleksing input dan satu mikroprosesor tunggal. Arsitektur ADC multipleksing input memiliki kelemahan pada waktu proses sampling dan konversi, dimana proses sampling dan konversi setiap kanal harus dilakukan secara bergantian karena piranti ADC yang digunakan hanya satu. Jika jumlah kanal input yang digunakan semakin banyak, maka butuh waktu yang lebih lama agar seluruh kanal dapat menyelesaikan proses konversi, dan juga akan lebih banyak urutan intruksi (*task*) program yang harus dieksekusi oleh mikroprosesor untuk menjalankan proses sampling dan konversi pada masing-masing kanal input ADC multipleksing. Semakin kompleks dan semakin banyak jumlah urutan intruksi (*task*) program yang harus dieksekusi oleh mikroprosesor akan menyebabkan proses perangkat kontroler digital dalam mengambil keputusan menjadi lambat (Maheshwari, dkk, 2014). Salah satu cara alternatif yang dapat dilakukan untuk mengatasi permasalahan tersebut, yaitu dengan menerapkan arsitektur ADC multi kanal simultan. Dimana seluruh kanal ADC dapat melakukan proses sampling dan konversi dalam waktu yang bersamaan, dan hanya cukup satu intruksi saja yang dieksekusi oleh mikroprosesor untuk menjalankan proses sampling dan konversi pada seluruh kanal (Mitra & Chattopadhyay, 2019). Selain itu, penggunaan ADC multi kanal simultan dapat diimplementasikan untuk membentuk sistem pengukuran simultan. Contohnya adalah pada pengukuran daya arus bolak-balik (AC), dimana sinyal arus dan tegangan AC memiliki karakteristik nilai amplitudo yang berubah-ubah tiap waktu. Agar didapatkan nilai hasil pengukuran daya sesaat yang lebih akurat dan presisi, sinyal arus dan tegangan harus disampling dan dikonversi secara simultan dalam waktu yang sama (Yanagihashi, dkk, 2011).

Dipasar komersial masih sangat sulit menemukan ADC multi kanal simultan, sehingga ADC harus dibuat sendiri secara khusus. Salah satu cara alternatif yang dapat dilakukan untuk merancang dan membangun perangkat konverter ADC multi kanal simultan yaitu menggunakan FPGA (*Field Programmable Gate Array*). FPGA merupakan IC (*Integrated Circuit*) yang di dalamnya terdapat jutaan gerbang transistor terprogram yang dapat

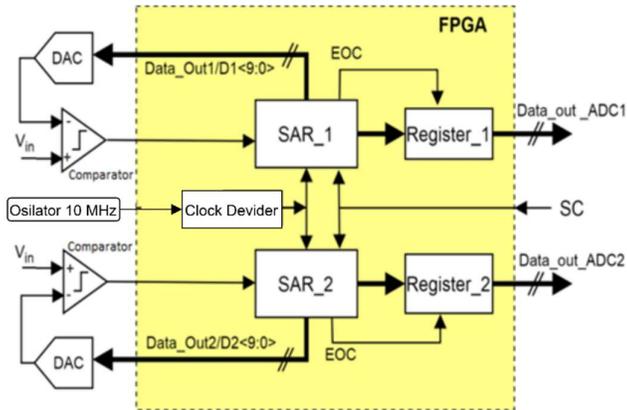
dikonfigurasi dan dibangun menjadi rangkaian gerbang logika dasar dan juga beberapa rangkaian logika digital kombinasional. FPGA juga dapat dikembangkan sebagai pemroses sinyal digital (DSP) (Mitra & Chattopadhyay, 2019). Di dalam IC FPGA terdapat fitur *Digital Clock Manager* (DCM), sehingga dapat dibangun beberapa arsitektur rangkaian digital yang dapat bekerja secara parallel dan simultan (Zet & Fosalau, 2019). IC FPGA dapat dikonfigurasi dan diprogram menggunakan bahasa pemrograman VHDL (*VHSIC-Very High Speed Integrated Circuit Hardware Description Language*). Sirkuit logika yang dibangun akan dideskripsikan dalam bentuk modul teks berupa kode program VHDL. Pada tahun 2012, penelitian yang dilakukan Heydarzadeh dan timnya, telah berhasil mengimplementasikan FPGA sebagai ADC tipe SAR *single channel* dengan resolusi 5-bit. FPGA digunakan sebagai sirkuit utama kontrol logika SAR (Heydarzadeh, dkk, 2012). Untuk ADC tipe SAR lama durasi waktu konversi ditentukan oleh frekuensi clock dan resolusi bit yang digunakan. Penggunaan resolusi bit yang terlalu tinggi akan menyebabkan proses konversi ADC SAR menjadi lebih lama. Sedangkan untuk aplikasi pengukuran besaran fisis membutuhkan ADC resolusi tinggi agar didapatkan hasil ketelitian yang tinggi. Penggunaan frekuensi *clock* yang terlalu tinggi dapat menurunkan tingkat akurasi ADC SAR. Untuk aplikasi kontrol yang dibutuhkan adalah kecepatan proses konversi (Wardana, 2015).

Fokus pada penelitian ini bertujuan untuk membuat dan merancang bangun arsitektur ADC SAR resolusi 10-bit dua kanal menggunakan *Board* FPGA Altera DE10. Dengan harapan kedua kanal ADC dapat mensampling dan mengkonversi sinyal analog ke digital secara simultan pada waktu yang sama, sehingga durasi waktu sampling dan konversi bisa lebih cepat dibandingkan dengan sistem ADC multi kanal multipleksing dengan catatan nilai frekuensi *clock* yang digunakan adalah sama besar. Dan jumlah instruksi program yang harus dieksekusi oleh mikroprosesor untuk menjalankan proses konversi ADC dapat direduksi, sehingga saat diterapkan pada perangkat controller dapat meningkatkan kecepatan dalam mengambil keputusan. Pada *Board* FPGA Altera DE10 sebenarnya sudah mengandung ADC SAR resolusi 12-bit, namun masih menggunakan arsitektur multi kanal multipleksing, dan tentunya akan lebih banyak urutan intruksi (*task*) yang harus dibuat dan dikerjakan oleh mikroprosesor jika seluruh kanal input digunakan semua, dan juga akan butuh waktu cukup lama untuk menyelesaikan proses konversi ADC pada seluruh kanal. Dan hal ini jika diterapkan pada aplikasi kontrol akan menyebabkan sistem menjadi lebih lambat dalam mengambil keputusan. Hasil dari penelitian desain ADC SAR dua kanal simultan menggunakan *Board* FPGA Altera DE10 dapat digunakan pada penelitian lanjutan berikutnya untuk dikembangkan lagi dan diaplikasikan untuk membangun sebuah sistem monitoring dan proteksi transformator daya, dan juga digunakan untuk membentuk sistem pengukuran simultan tegangan dan arus AC.

2. METODE

2.1 Blok Diagram Sistem

Desain arsitektur ADC yang digunakan pada penelitian ini adalah arsitektur ADC tipe SAR (*Successive Approximation Register*) resolusi 10-bit. Desain ADC SAR dua kanal dalam penelitian ini secara keseluruhan ditunjukkan oleh diagram blok sistem pada Gambar 1. Rangkaian yang dibuat terdiri dari dua kanal ADC SAR. Masing-masing kanal dibangun dari kombinasi rangkaian DAC, komparator, dan sirkuit kontrol logika SAR (Daulatabad, dkk, 2016) (Kumar, 2020). Data output ADC dikeluarkan dalam bentuk data paralel sebanyak 10-bit untuk masing-masing kanal. Sumber tegangan 5 volt diambil dari port USB komputer dan digunakan untuk mensuplai seluruh rangkaian.



Gambar 1. Diagram Blok Arsitektur SAR Dua Kanal

Dua kanal sirkuit kontrol logika SAR dibuat dan dibangun di dalam IC FPGA. FPGA yang digunakan adalah *Development Board* FPGA Altera DE10 tipe IC MAX10-10M50DAF484C7G. Masing-masing kanal memiliki resolusi 10-bit. Rangkaian kontrol logika SAR akan mengeluarkan data bit digital yang digunakan untuk mencari nilai perkiraan kode untuk konversi sampel sinyal analog (Lai, dkk, 2015). Proses pencarian perkiraan kode dimulai dari bit MSB (*Most Significant Bit*). Saat proses konversi dimulai bit MSB akan diset berlogika 1 atau *HIGH* dan bit lainnya diset berlogika 0 atau *LOW*, DAC akan mengubah output kode tersebut ke bentuk level tegangan analog untuk dibandingkan dengan tegangan sampel sinyal analog menggunakan rangkaian komparator. Jika Tegangan input sampel sinyal analog lebih tinggi dari output tegangan DAC maka output komparator akan berlogika 1 atau *HIGH*, dan bit MSB akan tetap dipertahankan berlogika 1. Sebaliknya, Jika output tegangan DAC lebih tinggi dari input sampel sinyal analog maka output komparator akan berlogika 0 atau *LOW*, dan bit MSB akan direset berlogika 0. Proses ini akan berlanjut sampai seluruh bit di uji semua atau sampai bit LSB (*Least Significant Bit*) (Zhang, dkk, 2018). Setelah seluruh bit telah di uji semua, maka data digital pada bit register SAR tersebut merupakan pendekatan perkiraan kode yang terbaik untuk konversi sinyal analog. Data ADC hasil konversi masing-masing kanal kemudian akan disimpan sementara pada *Register_1* dan *Register_2*. Hubungan antara input sinyal analog dengan output data ADC secara matematis diberikan oleh Persamaan (1) dan (2).

$$V_{in} = Data\ ADC * \frac{V_{ref}}{2^n - 1} \quad (1)$$

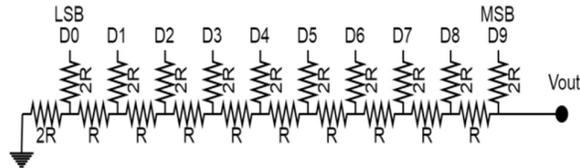
$$Data\ ADC = \frac{2^n - 1}{V_{ref}} * V_{in} \quad (2)$$

Dimana V_{ref} merupakan tegangan referensi, n adalah resolusi bit yang digunakan, dan V_{in} adalah tegangan input sinyal analog. Besar nilai tegangan input terkecil yang dapat dikonversi oleh ADC diwakili oleh satu tingkat kuantisasi yaitu 1-LSB. Karena lebar undak pertama dan undak terakhir hanya setengah dari lebar penuh, maka rentang skala penuh atau FSR (*Full-Scale Range*) dibagi dalam (2^n-1) lebar undak (Kumar, 2020). Sehingga 1-LSB dapat ditentukan dengan Persamaan (3).

$$1 - LSB = \frac{V_{ref}(FSR)}{2^n - 1} \quad (3)$$

Desain rangkaian DAC dibuat menggunakan rangkaian resistor tangga (*R2R Ladder*) dan ditunjukkan pada Gambar 2. Rangkaian ini menggunakan dua nilai resistor, yaitu 10 *KOhm*

dan 20 KOhm . Rangkaian DAC ini digunakan untuk mengubah output *bit-bit* digital dari sirkuit kontrol logika SAR menjadi level tegangan sinyal analog (**Liang, dkk, 2015**). Output tegangan dari rangkaian DAC digunakan sebagai pembanding dengan input tegangan sampel sinyal analog yang akan digunakan untuk mencari perkiraan kode biner. Untuk menentukan nilai keluaran DAC dapat digunakan Persamaan (4).

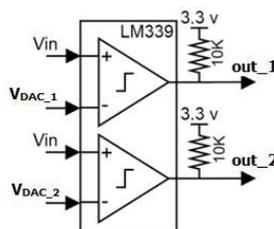


Gambar 2. Rangkaian DAC 10-bit R2R Ladder

$$V_{out\ DAC} = V_{ref} * \left(\frac{D_{n-1}}{2^1} + \frac{D_{n-2}}{2^2} + \frac{D_{n-3}}{2^3} + \dots + \frac{D_0}{2^n} \right) \quad (4)$$

Dimana V_{ref} , D merupakan tegangan referensi dan *bit-bit* data digital untuk input DAC, dan n adalah resolusi *bit* yang digunakan. Tegangan referensi yang digunakan mengikuti output pin I/O FPGA yaitu sebesar 3.3 volt.

IC LM339 digunakan sebagai rangkaian komparator. IC LM339 dapat bekerja pada tegangan *single supply* 2 volt sampai 36 volt, 0.8 mA. Input bias arus rendah 25 nA. Kompatibel dengan TTL dan CMOS. Output dari LM339 adalah *open collector* karena itu harus di *pull-up*. Skema rangkaian komparator ditunjukkan pada gambar 3. Rangkaian komparator ini digunakan untuk membandingkan tegangan input sampel sinyal analog dengan output tegangan dari rangkaian DAC. Input sampel sinyal analog dihubungkan ke input *non-inverting*(+), sedangkan output dari rangkaian DAC dihubungkan ke input *inverting* (-). Jika level tegangan sampel sinyal analog lebih tinggi dari output tegangan DAC, maka output komparator akan berlogika 1 atau *HIGH*. Sebaliknya, Jika level tegangan sinyal analog lebih rendah dari output tegangan DAC, maka output komparator akan berlogika 0 atau *LOW*. Catu daya untuk rangkaian komparator menggunakan tegangan *single supply* 5 volt.



Gambar 3. Rangkaian Komparator

2.2 Desain Program

Software Aplikasi *Altera Quartus Prime 17.1* digunakan untuk mengkonfigurasi IC FPGA. Desain program digunakan untuk mendeskripsikan rangkaian kontrol logika SAR dalam bentuk kode program VHDL, mengatur frekuensi *clock*, mengatur seluruh proses siklus konversi ADC (**Zet & Fosalau, 2019**). Satu sumber sinyal *clock* yang sama digunakan untuk menjalankan kedua rangkaian kontrol logika SAR agar keduanya dapat berjalan secara simultan. Pada ADC yang dirancang frekuensi *clock* yang diberikan adalah 125 KHz. Frekuensi *clock* ideal untuk ADC SAR adalah berkisar antara 50 KHz sampai 200 KHz. Frekuensi *clock* untuk ADC SAR dapat ditingkatkan lebih dari 200 KHz, namun penggunaan frekuensi yang terlalu tinggi untuk

ADC SAR tidak direkomendasikan karena dapat menyebabkan hasil konversi tidak stabil dan dapat menurunkan akurasi (**Wardana, 2015**). Frekuensi *clock* 125 KHz didapat dari sumber osilator frekuensi 10 MHz yang disediakan oleh *Board* FPGA Altera DE10 yang juga digunakan sebagai sumber *clock* IC FPGA. Di dalam IC FPGA juga dibangun rangkaian pembagi frekuensi, yang digunakan untuk menurunkan frekuensi 10 MHz menjadi 125 KHz. Kode VHDL rangkaian pembagi frekuensi ditunjukkan pada Gambar 4. Istilah "*sclk*" merupakan pulsa *clock* dari sumber osilator frekuensi yang dipakai oleh FPGA, sedangkan istilah "*clk*" merupakan pulsa *clock* untuk rangkaian ADC SAR. Saat terjadi perubahan transisi pulsa "*sclk*" dari *low* ke *high* (*Rising_edge*) maka nilai *counter* variabel *i* akan terus di *increment*, setelah hitungan *counter* variabel *i* mencapai 40 maka nilai *i* akan direset menjadi 0, dan pulsa "*clk*" diset berlogika *HIGH*. Kemudian hitungan *counter* berikutnya setelah variabel *i* mencapai nilai 40, logika pulsa "*clk*" di *invert* atau dibalik dari logika sebelumnya yaitu menjadi berlogika *LOW*. Proses tersebut akan terus berulang. Total hitungan *counter* untuk satu siklus pulsa *clock* adalah 80. Frekuensi *clock* untuk ADC dapat ditentukan dengan membagi sumber frekuensi osilator dengan nilai total *counter* tersebut ($10 \text{ MHz} / 80 = 0,125 \text{ MHz}$ atau sama dengan 125 KHz).

```

devclk: process(sclk)
variable i: integer :=0;
begin
  if reset ='0' then
    i :=0;
  elsif (sclk='1' and sclk'event) then
    if i= 40 then
      clk<= not clk;
      i:=0;
    else
      i:=i+1;
    end if;
  end if;
end process;

```

Gambar 4. Kode VHDL Pembagi Frekuensi

Logika *state finite state machine* (FSM) digunakan sebagai logika sekuensial untuk mengatur output logika (1 atau 0) pada bit-bit register rangkaian logika SAR. Proses konversi ADC SAR resolusi 10 bit membutuhkan logika *state* sebanyak 13 (*s0-s12*). Algoritma dan kode VHDL sirkuit logika SAR ditunjukkan oleh Gambar 5 dan Gambar 6.

1. Mulai
2. Reset semua bit $D_{out} = "0000000000"$
3. Set bit MSB $D_{out} = "1000000000"$
4. Baca output komparator, jika berlogika 1 set bit MSB $D_{out} = 1$.
Jika berlogika 0 set bit MSB $D_{out} = 0$.
5. Ulangi proses 3 dan 4 untuk bit MSB D_{out} berikutnya sampai bit LSB D_{out}
6. Simpan data hasil konversi pada register (1 & 2) data ADC
7. Selesai

Gambar 5. Algoritma Logika SAR

```

SAR1: process(clk,comp1,comp2)
begin
if SC=0 then
elsif (clk='1' and clk'event) then
case state is
when s0=>
Dout_1="0000000000";
Dout_2="0000000000";
EOC<='0';
state<=s1;
when s1=>
Dout_1<="1000000000";
Dout_2<="1000000000";
state<=s2;
when s2=>
if comp1='1' then
Dout_1(9)<='1'; else Dout_1(9)<='0';
end if;
if comp2='1' then
Dout_2(9)<='1'; else Dout_2(9)<='0';
end if;
Dout_1(8)<='1';
Dout_2(8)<='1';
state<=s3;
|
repeat process downto bit LSB
|
when s11 =>
if comp1='1' then
Dout_1(0)<='1'; else Dout_1(0)<='0';
end if;
if comp2='1' then
Dout_2(0)<='1'; else Dout_2(0)<='0';
end if;
State<=s12;
When s12=>
EOC<='1';
Register1<=Dout_1;
Register2<=Dout_2;
state<=s0;
end case; end if;
end process;
DAC1_in<=Dout_1;
DAC2_in<=Dout_2;

```

Gambar 6. Kode VHDL Sirkuit Logika SAR

Durasi waktu konversi bergantung pada frekuensi pulsa *clock* f_{clk} dan resolusi n bit yang digunakan oleh ADC SAR. Dalam satu kali siklus konversi, jumlah pulsa *clock* yang dibutuhkan sama dengan jumlah logika *state* FSM yang digunakan untuk menjalankan sirkuit logika SAR.

Sehingga *sampling-rate* atau frekuensi sampling $f_{sampling}$ dapat dihitung menggunakan Persamaan (7).

$$Sampling\ rate = \frac{f_{clk}}{number\ of\ state} \quad (7)$$

2.3 Analisis Data

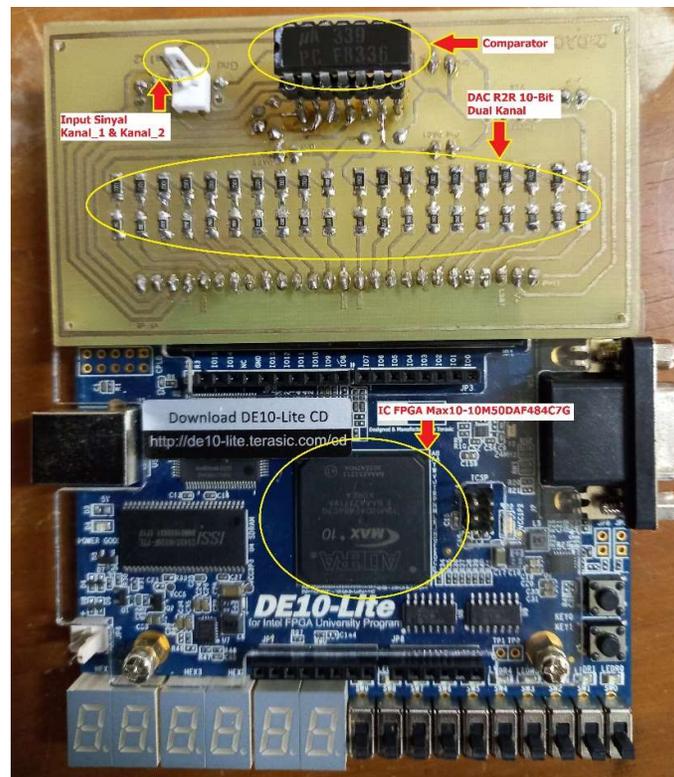
Analisi data dilakukan untuk melihat kinerja dari sistem ADC yang telah dibuat. Data hasil konversi ADC akan ditampilkan pada *display seven segment* dalam bentuk data *integer* agar memudahkan dalam pembacaan dan pengambilan data pengujian. Data hasil eksperimen pengujian sistem ADC yang dibuat akan dibandingkan dengan data ADC berdasarkan perhitungan teoritis untuk melihat tingkat akurasi dan kesalahan. Tingkat akurasi dan kesalahan dapat dihitung menggunakan Persamaan (5) dan (6).

$$Akurasi = 100\% - error \quad (5)$$

$$\%error = \frac{perhitungan\ teori - eksperi}{perhitungan\ teori} * 100\% \quad (6)$$

3. HASIL DAN PEMBAHASAN

Hasil desain perancangan ADC SAR resolusi 10 bit dua kanal simultan menggunakan FPGA ditunjukkan pada Gambar 7. Serangkaian pengujian dilakukan untuk mengukur kinerja dari sistem ADC yang telah dibuat seperti tingkat akurasi, *error* dan linearitas. Dari hasil pengujian tersebut kemudian dibandingkan dengan hasil perhitungan konversi data ADC secara teoritis.



Gambar 7. Hasil Desain ADC SAR 10-bit Dua Kanal Menggunakan FPGA Altera DE10

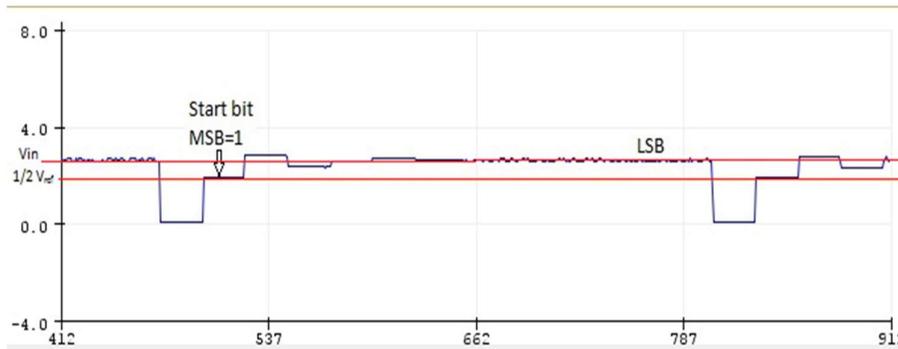
Hasil pengujian rangkaian kanal DAC_1 dan DAC_2 ditunjukkan pada Tabel 1. Pengujian ini dilakukan untuk mengetahui akurasi dan tingkat kesalahan output rangkaian DAC $R2R$ yang telah dibuat dan kemudian dibandingkan dengan output DAC berdasarkan perhitungan teoritis menggunakan Persamaan (4). Pengujian ini dilakukan dengan memberikan beberapa sampel input data *biner* 10-bit sebagai masukan rangkaian DAC yang akan dikonversi ke bentuk level tegangan analog. Level tegangan pada output rangkaian DAC kemudian diukur menggunakan voltmeter digital. Tegangan referensi V_{ref} yang digunakan yaitu 3.38 volt, tegangan tersebut merupakan tegangan yang terukur oleh voltmeter digital pada jalur pin I/O FPGA yang terhubung dengan input rangkaian DAC. Dari hasil pengujian menunjukkan bahwa untuk kanal DAC_1 dan DAC_2 memiliki tingkat kesalahan rata-rata 0.73 % dan 0.71 % dan memiliki akurasi 99.27 % dan 99.28%, Output tegangan 1-LSB yang terukur adalah sebesar 0.0033 volt. Perbedaan tingkat akurasi dan kesalahan antar kedua rangkaian DAC disebabkan karena masing-masing resistor yang digunakan untuk membangun rangkaian DAC $R2R$ memiliki resistansi yang tidak sama persis dan juga error pembacaan voltmeter digital yang digunakan untuk mengukur output tegangan rangkaian DAC .

Tabel 1. Pengujian Rangkaian DAC Kanal_1 dan Kanal_2

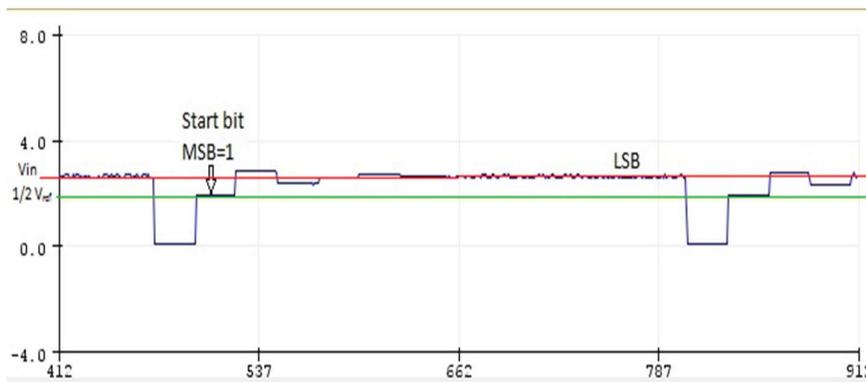
Input Kode Biner 10-bit	Output Keluaran			Error DAC_1 %	Error DAC_2 %
	V_{out} DAC Teoritis (Volt)	V_{out} DAC_1 (Volt)	V_{out} DAC_2 (Volt)		
000000000	0	0	0	0	0
000000001	0.0033	0.0033	0.0033	0	0
000000010	0.0066	0.0066	0.0066	0	0
000000100	0.013	0.013	0.013	0	0
000001000	0.026	0.026	0.026	0	0
000010000	0.053	0.052	0.052	1.89	1.89
000100000	0.106	0.105	0.105	0.94	0.94
001000000	0.211	0.210	0.209	0.47	0.95
001000000	0.423	0.418	0.417	1.18	1.42
010000000	0.845	0.834	0.837	1.30	0.95
100000000	1.69	1.66	1.67	1.18	1.18
111111111	3.38	3.34	3.34	1.18	1.18

Hasil pengujian sirkuit kontrol logika SAR ditunjukkan pada Gambar 8 sampai Gambar 11. Pengujian dilakukan dengan melihat perubahan level tegangan pada output rangkaian DAC menggunakan *Board Arduino* yang difungsikan sebagai pembaca tegangan, kemudian hasilnya ditampilkan pada *software Serial Plotter Arduino IDE*. Ketika konversi ADC dimulai, pemberian perkiraan kode dimulai dari *bit* MSB. Pada siklus *clock* pertama, *bit* MSB register SAR diset berlogika 1 atau "10000000" dan *bit* lainnya diset berlogika 0, dan ini sama artinya dengan pencarian perkiraan kode biner dimulai dari $\frac{1}{2} V_{ref}$ (tegangan referensi = 3.38 volt) yaitu 1.69 volt. Perkiraan kode tersebut akan diubah oleh rangkaian DAC ke bentuk level tegangan analog V_{dac} , kemudian dibandingkan dengan input tegangan sample sinyal analog V_{in} menggunakan rangkaian komparator. Pada Gambar 8 dan Gambar 9 menunjukkan hasil pengujian rangkaian logika SAR1 dan SAR2 saat ADC diberi tegangan masukan V_{in} sebesar 2.6 volt. Dari hasil tersebut menunjukkan bahwa V_{dac} lebih rendah dari V_{in} maka output komparator akan berlogika 1 dan *bit* MSB akan tetap dipertahankan berlogika 1 ("10000000"), Kemudian pada siklus *clock* kedua, perkiraan kode yang diberikan nilai *bit* dinaikkan menjadi "11000000", sehingga nilai keluaran V_{dac} akan lebih tinggi dari nilai V_{dac} sebelumnya. Kemudian nilai V_{dac} akan dibandingkan lagi dengan V_{in} . Output logika komparator tersebut digunakan untuk mengeset *bit-bit register* sirkuit logika SAR pada setiap siklus pemberian perkiraan kode

setelah nilai V_{dac} dibandingkan dengan nilai V_{in} . Proses tersebut akan terus berlangsung sampai seluruh *bit* di uji semua atau sampai pada *bit* LSB.

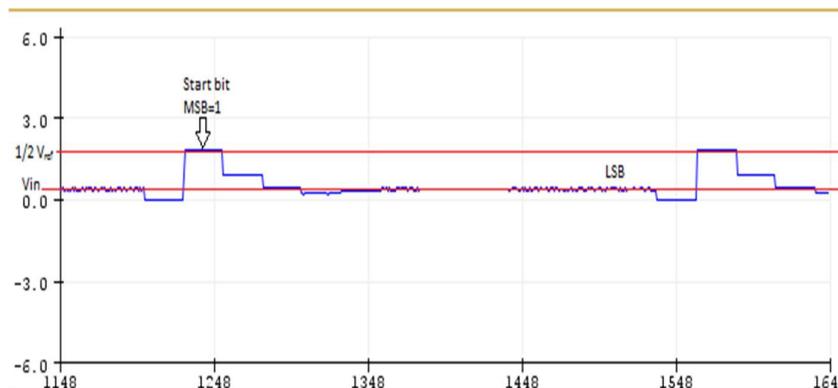


Gambar 8. Hasil Pengujian Sirkuit Logika SAR1 ($V_{in}= 2.6$ Volt)

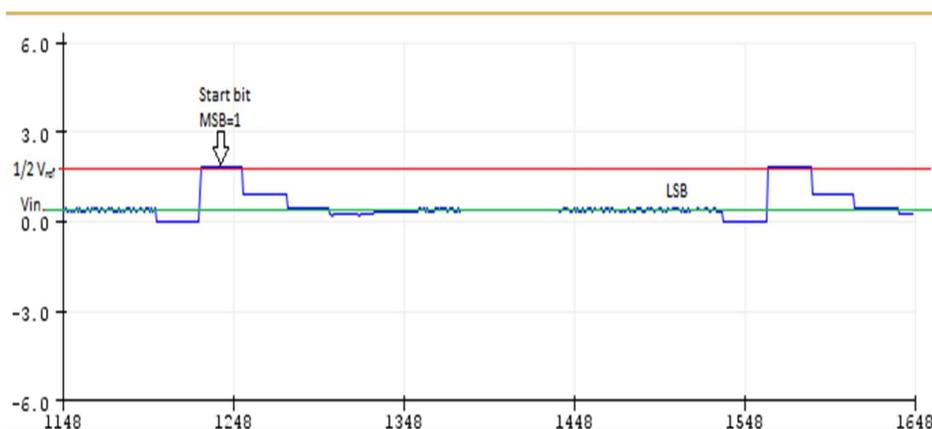


Gambar 9. Hasil Pengujian Sirkuit Logika SAR2 ($V_{in}= 2.6$ volt)

Pada Gambar 10 dan Gambar 11 merupakan hasil pengujian saat ADC diberi tegangan masukan 1.0 volt. Dari hasil tersebut menunjukkan bahwa V_{dac} lebih tinggi dari V_{in} maka output komparator akan berlogika 0 dan bit MSB akan direset berlogika 0, Kemudian pada siklus clock kedua, perkiraan kode nilai bit register diturunkan menjadi "010000000", dan nilai V_{dac} menjadi lebih rendah dari V_{in} . Kemudian nilai V_{dac} akan dibandingkan lagi dengan V_{in} . Proses tersebut akan terus berlangsung sampai seluruh bit di uji semua atau sampai pada bit LSB.



Gambar 10. Hasil Pengujian Sirkuit Logika SAR1 ($V_{in}= 1.0$ Volt)

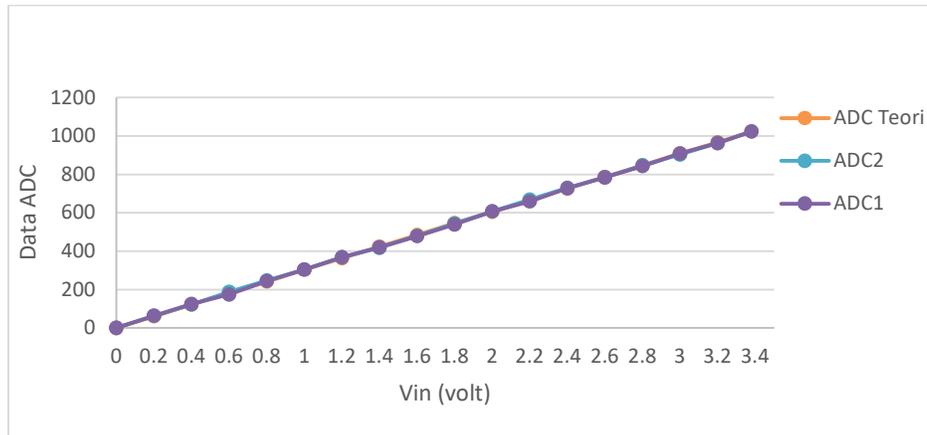


Gambar 11. Hasil Pengujian Sirkuit Logika SAR2 ($V_{in} = 1.0$ volt)

Hasil pengujian akurasi data keluaran desain sistem ADC SAR dua kanal yang telah dibuat ditunjukkan pada Tabel 3. Beberapa sampel input tegangan digunakan sebagai tegangan masukan pada pengujian ini mulai dari rentang 0 sampai 3.38 volt DC. Tegangan referensi V_{ref} yang digunakan adalah 3.38 volt. Berdasarkan data hasil perbandingan antara output data hasil eksperimen desain ADC yang dibuat dengan perbandingan data output ADC berdasarkan perhitungan teoritis menggunakan Persamaan (2), untuk kanal ADC_1 dan ADC_2 memiliki tingkat kesalahan rata-rata sebesar 1.05 % dan 0.90 %, dan memiliki tingkat akurasi sebesar 98.95 % dan 99,09 %. Sedangkan untuk hasil pengujian linearitas ditunjukkan pada Gambar 12. Untuk kanal ADC_1 dan ADC_2 masing-masing memiliki koefisien korelasi 0.9999 dan 0.9999. Berdasarkan hasil tersebut sistem ADC dua kanal yang telah dibuat memiliki tingkat akurasi dan linearitas yang cukup baik, dan mendekati nilai perhitungan konversi data ADC secara teoritis.

Tabel 3. Pengujian Akurasi Kanal ADC_1 dan ADC_2

Input Tegangan V_{in} (Volt)	Data ADC Perhitungan Teoritis	Output Data ADC Hasil Desain Alat		Error ADC_1 %	Error ADC_2 %
		ADC_1	ADC_2		
0	0	0	0	0	0
0.20	61	63	63	3.28	3.28
0.40	122	125	121	3.31	0
0.60	182	175	188	3.84	3.29
0.80	242	244	248	0.83	2.48
1.00	303	303	304	0	0.33
1.20	363	367	368	1.10	1.38
1.40	424	419	417	1.18	1.65
1.60	484	479	480	1.03	0.82
1.80	545	539	543	1.10	0.37
2.00	605	607	608	0.33	0.49
2.20	666	659	668	1.05	0.30
2.40	726	728	729	0.28	0.41
2.60	787	783	783	0.51	0.51
2.80	847	843	847	0.47	0
3.00	908	909	903	0.11	0.55
3.20	967	963	963	0.41	0.41
3.38	1023	1023	1023	0	0



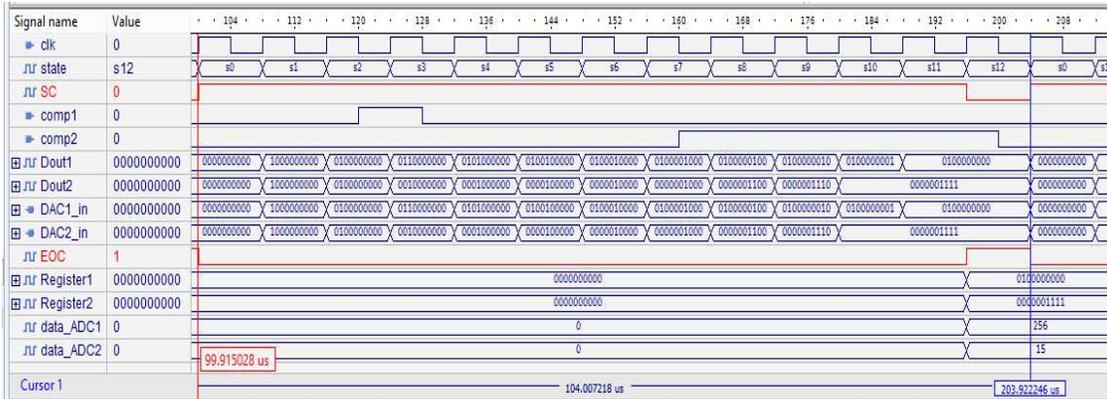
Gambar 12. Linearitas ADC

Resource pada FPGA yang digunakan untuk membangun rangkaian ADC SAR dua kanal ditunjukkan pada Tabel 4. Total *logic element* yang digunakan hanya 3% dari jumlah total yang disediakan. Jumlah *register* yang dipakai sebanyak 89. Total pin I/O yang digunakan sebanyak 93 yang terdiri 7 pin input dan 86 pin output. Frekuensi *clock* yang digunakan adalah sebesar 125 KHz.

Tabel 4. Resource FPGA

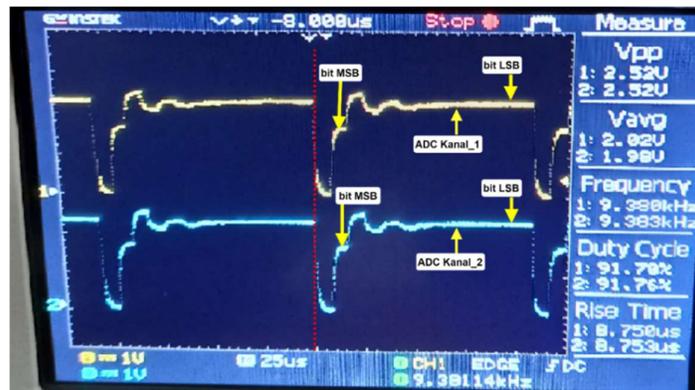
Jenis Resource	Terpakai / Tersedia
Total <i>logic element</i>	1,410 dari 49,760 (3%)
Total <i>register</i>	89
Total <i>pins</i>	93 dari 360 (26%)
Frekuensi <i>clock</i>	125 KHz

Berdasarkan hasil simulasi *timing* diagram sinyal menggunakan *software Active-HDL* yang ditunjukkan oleh Gambar 13, kedua sirkuit logika SAR dapat dijalankan secara paralel dan simultan oleh satu sumber pulsa *clock* yang sama. Konversi ADC hanya akan dimulai saat pin "SC" diatur berlogika 1. Logika *state Finite State Machine* (FSM) digunakan untuk mengatur output logika (1 atau 0) pada *bit-bit register* rangkaian logika SAR. Proses konversi ADC SAR dalam satu siklus menggunakan logika *state* sebanyak 13 (*s0-s12*), urutan logika *state* akan diubah ke logika *state* berikutnya saat pulsa *clock* bertransisi dari logika rendah ke tinggi (*Rising edge*). Jumlah pulsa *clock* yang digunakan adalah sama dengan jumlah logika *state*. *State s0* digunakan untuk mereset seluruh bit *register* SAR berlogika 0. *State s1* sampai *s11* digunakan untuk mencari perkiraan kode digital untuk proses konversi input sampel sinyal analog. *State s12* digunakan untuk memberikan isyarat bahwa proses konversi telah berakhir dengan mengeset sinyal EOC berlogika 1, digunakan sebagai perintah untuk menyimpan sementara data ADC hasil konversi pada *Register_1* dan *Register_2*, dan juga untuk mereset logika *state* kembali ke *state s0*.



Gambar 13. Timing Diagram Sinyal ADC SAR Dua Kanal

Kecepatan proses konversi dari ADC SAR adalah bergantung pada resolusi dan frekuensi pulsa *clock* yang digunakan. Pada eksperimen ini resolusi yang digunakan adalah 10-bit. Frekuensi *clock* f_{clk} yang digunakan adalah sebesar 125 KHz, sehingga periode pulsa *clock* $T_{clk} = 8 \mu s$. Durasi waktu total yang dibutuhkan oleh ADC dalam satu kali proses konversi adalah 104 μs . Jumlah pulsa *clock* dalam satu kali siklus konversi jumlahnya sama dengan logika *state* FSM yang digunakan untuk menjalankan sirkuit logika SAR, sehingga *sampling-rate* dapat dihitung dengan Persamaan (7) dan didapat nilai *sampling-rate* sebesar 9.6 KS/s. Berdasarkan kriteria *Nyquist* maka batas frekuensi sinyal analog yang diperbolehkan adalah 4.8 KHz atau setengah dari *sampling-rate*. *Sampling rate* dapat ditingkatkan dengan menaikkan frekuensi *clock* ADC, namun penggunaan frekuensi pulsa *clock* ADC yang terlalu tinggi dapat menurunkan akurasi ADC. Desain sistem ADC dua kanal ini mengkonsumsi arus sebesar 168.4 mA, sehingga dapat diketahui daya yang dikonsumsi adalah sebesar 842 mW (168.4 mA * 5 volt). Nilai arus diperoleh dengan mengukur nilai arus keluaran pada *port* USB yang terhubung ke *Board* Altera FPGA DE10. Daya yang dikonsumsi cukup besar karena digunakan untuk *supply* seluruh fitur komponen dan perangkat lain yang terpasang pada *Board* FPGA Altera DE10.



Gambar 14. Proses Konversi ADC Dua Kanal Simultan

Hasil pengujian sistem secara parallel dilakukan untuk mengetahui apakah kedua kanal ADC dapat mensampling dan mengkonversi sinyal secara simultan. Pengujian ini dilakukan dengan cara menggabungkan input kedua kanal ADC menjadi satu kemudian diberi masukan sinyal analog. Input tegangan yang diberikan adalah sebesar 2,2 volt. Kemudian dilihat perubahan level tegangan setiap siklus pulsa *clock* pada kedua output rangkaian DAC menggunakan osiloskop digital. Hasil pengujian tampak pada Gambar 14. Dari hasil tersebut menunjukkan

bahwa kedua kanal ADC dapat memulai dan mengakhiri proses sampling dan konversi pada fase yang sama dalam satu siklus. Penggunaan satu sumber pulsa *clock* yang sama untuk menjalankan kedua sirkuit logika SAR yang dibangun di dalam IC FPGA memberikan hasil yang cukup efektif, dimana keduanya dapat bekerja secara paralel dan simultan.

4. KESIMPULAN

Penelitian ini telah berhasil membuat sistem ADC SAR dua kanal simultan resolusi 10-bit menggunakan *Board* FPGA Altera DE10. Kedua kanal ADC yang telah dibuat dapat bekerja dan berfungsi mengkonversi sinyal analog ke bentuk sinyal digital secara paralel dan simultan. Kanal ADC_1 dan ADC_2 memiliki tingkat kesalahan rata-rata sebesar 1.05 % dan 0.90 %, tingkat akurasi sebesar 98.95 % dan 99.09 %, tingkat linearitas dengan koefisien korelasi sebesar 0.9999 dan 0.9999. Frekuensi *clock* yang digunakan adalah 125 KHz. Durasi waktu total yang dibutuhkan dalam satu kali proses konversi ADC yaitu 104 μ s. Didapatkan sampling *rate* sebesar 9.6 KS/s. Daya yang dikonsumsi sebesar 842 mW. Untuk penelitian selanjutnya, arsitektur ADC SAR dua kanal simultan yang telah dibuat menggunakan FPGA dapat dimanfaatkan sebagai modul data konverter untuk sistem monitoring dan proteksi transformator daya, dan juga dapat digunakan untuk membentuk pengukuran simultan tegangan dan arus AC sehingga bisa meningkatkan nilai hasil pengukuran daya sesaat yang lebih akurat dan presisi. Untuk jumlah kanal ADC dapat ditambah lebih dari dua kanal. Agar sistem proteksi lebih *powerfull*, maka ADC dan prosessor dapat dibuat di dalam satu IC FPGA yang sama.

DAFTAR RUJUKAN

- Abdel-Salam, M., Kamel, R., Sayed, K., & Khalaf, M. (2017). Design and implementation of a multifunction DSP-based-numerical relay. *Electric Power Systems Research*, 143, 32–43.
- Chen, X., Xia, C., Wu, G., Zhang, F., Wang, J., Ji, H., Shi, W., Lu, T., & Chen, L. (2019). Lightning protection of 110 kV and 220 kV transformer neutral points in shenzhen power grid. *11th Asia-Pacific International Conference on Lightning*, (pp. 1 – 4).
- Daulatabad, S., Neema, V., Shah, A. P., & Singh, P. (2016). 8-Bit 250-MS/s ADC Based on SAR Architecture with Novel Comparator at 70 nm Technology Node. *Procedia Computer Science*, (pp. 589 – 596).
- Heydarzadeh, S., Kadivar, a, & Torkzadeh, P. (2012). Implemented 5-bit 125-MS / s Successive Approximation Register ADC on FPGA. *International Journal of Electronics and Communication Engineering*, 6(9), 394–397.
- Kumar, M. (2020). Different Analog to Digital Converters Architectures. *International Journal of Innovative Technology and Exploring Engineering*, 9(4), 1256–1263.
- Lai, W. C., Huang, J. F., & Hsieh, C. G. (2015). An 8-bit 20 MS/s successive approximation register analog-to-digital converter for wireless intelligent control and information processing. *5th International Conference on Intelligent Control and Information Processing*, (pp. 115 – 117).

- Liang, Y., Zhu, Z., & Ding, R. (2015). Calibration algorithm for 16-bit voltage-mode R-2R DAC. *Microelectronics Journal*, 46(10), 963–969.
- Liao, G., & Zhu, J. (2010). Distribution line microprocessor relay protection system. *International Conference on Intelligent Computation Technology and Automation*, (pp. 142 – 145).
- Maheshwari, V., Devulapalli, B. Das, & Saxena, A. K. (2014). FPGA-based digital overcurrent relay with concurrent sense-process- communicate cycles. *International Journal of Electrical Power and Energy Systems*, 55, 66–73.
- Mitra, S., & Chattopadhyay, P. (2019). Design and implementation of flexible Numerical Overcurrent Relay on FPGA. *International Journal of Electrical Power and Energy Systems*, 104(May 2018), 797–806.
- Subedi, D., & Lehtonen, M. (2019). Lightning overvoltages in electrical power system of a power plant. *International Scientific Conference on Electric Power Engineering*, (pp. 1 – 4).
- Wardana, Kusuma. (2015, November 20). *Penggunaan Detak (Clock) dan Prescaler Pada Proses Sampling*. Retrieved from www.tutorkeren.com.
- Yanagihashi, Y., Nakashima, M., Sumida, Y., & Hong, L. (2011). Development of medium-voltage distribution relay with precision current measurement and multi-lingual capability. *International Conference on Advanced Power System Automation and Protection*, (pp. 604 – 608).
- Zet, C., & Fosalau, C. (2019). Generating Programmable Analog Signals using FPGA. *International Conference on Electromechanical and Energy Systems*, (pp. 1 – 4).
- Zhang, G., Zhao, T., Zhang, H., & Liang, F. (2018). A 16-BIT 200KS/S Multi-channel SAR ADC in 55nm CMOS. *IEEE 3rd Advanced Information Technology, Electronic and Automation Control Conference*, (pp. 998 – 1002).